



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0008791
Application Number

출원 년 월 일 : 2003년 02월 12일
Date of Application
FEB 12, 2003

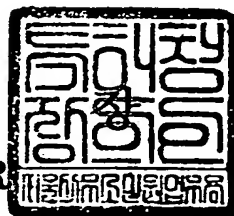
출원 인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 07 월 24 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2003.02.12
【발명의 명칭】	소노스 기억셀 및 그 제조방법
【발명의 영문명칭】	SONOS MEMORY CELL AND METHOD OF FABRICATING THE SAME
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【발명자】	
【성명의 국문표기】	김재황
【성명의 영문표기】	KIM, JAE-HWANG
【주민등록번호】	710820-1475753
【우편번호】	131-230
【주소】	서울특별시 중랑구 망우동 금호 APT 502호
【국적】	KR
【발명자】	
【성명의 국문표기】	전희석
【성명의 영문표기】	JEON, HEE-SEOG
【주민등록번호】	640822-1068217
【우편번호】	445-973
【주소】	경기도 화성군 태안읍 반월리 184-1 신영통 현대아파트 215동 1102호
【국적】	KR

【심사청구】

청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인

임창현 (인) 대리인

권혁수 (인)

【수수료】**【기본출원료】**

20 면 29,000 원

【가산출원료】

7 면 7,000 원

【우선권주장료】

0 건 0 원

【심사청구료】

21 항 781,000 원

【합계】

817,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】

【요약】

소노스 기억셀 및 그 제조방법을 제공한다. 이 기억 셀은, 반도체 기판 내에 소정 간격 이격되어 형성된 소오스 영역 및 드레인 영역과, 소오스 영역 및 드레인 영역 사이에 정의된 채널영역을 포함한다. 소오스 영역 및 드레인 영역에 인접한 채널영역의 가장자리 상에 전하저장 절연층이 형성된다. 전하트랩 절연층 사이의 채널영역 상에 게이트 절연막이 형성되고, 게이트 절연막 및 전하트랩 절연층 상에 게이트 전극이 형성된다. 이 소자의 제조방법에 따르면, 반도체 기판에 다층절연층, 하부 도전막 및 하드마스크막을 차례로 적층하는 것을 포함한다. 하드마스크막, 하부 도전막 및 다층절연층을 차례로 패터닝하여 갭영역을 형성한다. 갭영역에 노출된 반도체 기판 및 하부 도전막의 표면에 게이트 산화막을 형성하고, 게이트산화막 상에 갭 영역을 채우는 게이트 패터를 형성한다. 하드마스크막을 제거하고 노출된 게이트 패터의 측벽에 상부 측벽패터를 형성한다. 하부 도전막 및 다층절연층을 패터닝하여 상부 측벽패턴 하부에 하부 측벽패턴 및 전하전장절연층을 형성한다. 게이트 패터 및 상부 측벽패터를 식각마스크로 사용하여 전하트랩 절연층에 인접한 기판 내에 소오스영역 및 드레인 영역을 형성한다.

【대표도】

도 2

【명세서】**【발명의 명칭】**

소노스 기억셀 및 그 제조방법{SONOS MEMORY CELL AND METHOD OF FABRICATING THE SAME}

【도면의 간단한 설명】

도 1은 종래의 소노스 기억 셀을 나타낸 단면도이다.

도 2는 본 발명의 제1 실시예에 따른 소노스 기억 셀을 나타낸 단면도이다.

도 3 내지 도 7은 본 발명의 제1 실시예에 따른 소노스 기억 셀의 제조방법을 나타낸 공정단면도들이다.

도 8은 본 발명의 제2 실시예에 따른 소노스 기억 셀을 나타낸 단면도이다.

도 9 내지 도 14는 본 발명의 제2 실시예에 따른 소노스 기억 셀의 제조방법을 나타낸 공정단면도들이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<6> 본 발명은 반도체 소자 및 그 제조방법에 관한 것으로서, 다층절연층에 전하를 저장하는 소노스 기억 셀 및 그 제조방법에 관한 것이다.

<7> 소노스 기억 소자는 모스트랜지스터와 동일한 구조를 가지고, 터널절연막, 전하트랩층 및 블로킹절연막의 다층절연층을 게이트 절연막으로 사용한다. 상기 전하트랩층은 통상적으로 실리콘질화막으로 형성된다. 소노스 기억 소자는 FN터널링(Fowler-nordheim

tunneling) 또는 열전하주입(Hot Carrier Injection)을 적용하여 정보를 기입하거나 소거한다. 미국특허번호 5,768,192호 "비대칭 전하트랩을 이용한 비활성 반도체 기억 셀"(U.S. Patent No. 5,768,192 "NON-VOLATILE SEMICONDUCTOR MEMORY CELL UTILIZING ASYMMETRICAL CHARGE TRAPPING")은 열전자 주입에 의해 정보를 기입/소거하는 소노스 기억 셀을 제공한다.

<8> 도 1은 종래의 소노스 기억 셀을 나타낸 단면도이다.

<9> 도 1을 참조하면, 종래의 소노스 기억 셀은 반도체 기판(10) 내에 소오스 영역(12) 및 드레인 영역(14)이 형성되고, 상기 소오스 영역(12) 및 상기 드레인 영역(14) 사이에 정의된 채널 영역 상에 게이트 전극(22)이 형성된다. 상기 게이트 전극(22) 및 상기 반도체 기판 사이에 터널산화막(16), 전하트랩층(18) 및 블로킹절연막(20)이 적층된 다층 절연층이 개재된다.

<10> 소오스 영역(12)에 접지 전압을 인가하고, 게이트 전극(22) 및 드레인 영역(14)에 각각 게이트 전압 및 드레인 전압을 인가하면 드레인 영역(14)에 인접한 채널영역에서 열전하(Hot carrier)가 발생하여 전하저장영역(24)에 전자 또는 정공이 트랩된다. 게이트 전압 및 드레인 전압의 극성에 따라 전자 또는 정공이 상기 전하저장영역(24)에 트랩된다. 종래의 소노스 기억 셀은 전하저장영역(24)이 특정되어 있지 않고, 열전하주입(Hot Carrier Injection)이 일어나는 영역에 의존하여 그 위치가 결정된다. 따라서, 기입 및 소거 시 전자가 주입되는 영역과 정공이 주입되는 영역이 다를 경우, 기입/소거 사이클을 반복함에 따라 문턱전압이 변경되는 문제를 유발할 수 있다. 이 외에도, 전하가 트랩되는 전하트랩층(18)이 전하저

장영역(24) 사이에 연결되어 있기 때문에 열에너지를 얻은 전하트랩층을 따라 측방으로 이동함으로써 두 영역 사이의 데이터 식별성이 떨어진다. 또한, 사진식각공정(photo lithography etching process)에 의해 전하트랩층의 면적이 결정되기 때문에 트랩사이트(trap site)의 산포가 커질 수 있다.

【발명이 이루고자 하는 기술적 과제】

- <11> 본 발명이 이루고자 하는 기술적 과제는 데이터 식별성이 우수한 2비트 기억가능한 소노스 기억 셀(two bits programable SONOS memory cell) 및 그 제조방법 제공하는데 있다.
- <12> 본 발명이 이루고자 하는 다른 기술적 과제는 균일한 폭의 전하트랩층을 갖는 소노스 기억 셀 및 그 제조방법을 제공하는데 있다.
- <13> 본 발명이 이루고자 하는 또 다른 기술적 과제는 트랩된 전하의 측방향 이동이 방지된 소노스 기억 셀 및 그 제조방법을 제공하는데 있다.

【발명의 구성 및 작용】

- <14> 상술한 기술적 과제를 달성하기 위하여 본 발명은 게이트 전극 하부에서 서로 이격된 전하저장 절연층을 갖는 소노스 기억 셀을 제공한다. 이 기억 셀은, 반도체 기판 내에 소정간격 이격되어 형성된 소오스 영역 및 드레인 영역과, 상기 소오스 영역 및 상기 드레인 영역 사이에 정의된 채널영역을 포함한다. 상기 소오스 영역 및 상기 드레인 영역에 인접한 상기 채널영역의 가장자리 상에 전하저장 절연층이 형성된다. 상기 전하트랩 절연층 사이의 상기 채널영역 상에 게이트 절연막이 형성되고, 상기 게이트 절연막 및 상기 전하트랩 절연층 상에 게이트 전극이 형성된다.

- <15> 상기 게이트 전극은 상기 게이트 절연막 상에 형성된 게이트 패턴과, 상기 게이트 패턴의 측벽에 적층된 하부 측벽패턴 및 상부 측벽패턴으로 이루어질 수 있다. 상기 하부 측벽패턴은 상기 게이트 패턴 및 상기 상부 측벽패턴과 전기적으로 접속되거나, 상기 게이트 패턴 및 상기 상부 측벽패턴으로부터 전기적으로 절연될 수도 있다.
- <16> 상술한 기술적 과제를 달성하기 위하여 본 발명은 게이트 전극 하부에서 서로 이격된 전하저장 절연층을 갖는 소노스 기억 셀의 제조방법을 제공한다. 이 방법은, 반도체 기판에 다층절연층, 하부 도전막 및 하드마스크막을 차례로 적층하는 것을 포함한다. 상기 하부 도전막 및 상기 하드마스크막 사이에 층간절연막을 더 형성할 수도 있다. 상기 하드마스크막, 상기 하부 도전막 및 상기 다층절연층을 차례로 패터닝하여 갭영역을 형성한다. 상기 층간절연막을 형성할 경우 상기 갭영역을 형성할 때 상기 층간절연막도 함께 패터닝된다. 상기 갭영역에 노출된 반도체 기판 및 상기 하부 도전막의 표면에 게이트 산화막을 형성한다. 상기 게이트산화막 상에 상기 갭 영역을 채우는 게이트 패턴을 형성한다. 상기 하드마스크막을 제거하여 상기 게이트 패턴의 측벽의 일부분을 노출시키고, 상기 노출된 게이트 패턴의 측벽에 상부 측벽패턴을 형성한다. 상기 게이트 패턴 및 상기 상부 측벽패턴을 식각마스크로 사용하여 상기 하부 도전막 및 상기 다층절연층을 패터닝하여 상기 상부 측벽패턴 하부에 하부 측벽패턴 및 전하전장절연층을 형성한다. 상기 게이트 패턴 및 상기 상부 측벽패턴을 식각마스크로 사용하여 상기 전하트랩 절연층에 인접한 기판 내에 소오스영역 및 드레인 영역을 형성한다.
- <17> 이하 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 상세하게 설명하도록 한다. 그러나, 본 발명은 여기서 설명되어지는 실시예에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예들은 개시된 내용이 철저하고 완전해

질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되어지는 것이다. 도면들에 있어서, 층 및 영역들의 두께는 명확성을 기하기 위하여 과장되어진 것이다. 또한, 층이 다른 층 또는 기판 상에 있다고 언급되어지는 경우에 그것은 다른 층 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제3의 층이 개재될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소들을 나타낸다.

<18> 도 2는 본 발명의 제1 실시예에 따른 소노스 기억 셀을 나타낸 단면도이다.

<19> 도 2를 참조하면, 본 발명에 따른 소노스 기억 셀은 반도체 기판(50) 내에 형성된 소오스 영역(74s) 및 드레인 영역(74d)을 포함한다. 상기 소오스 영역(74s) 및 상기 드레인 영역(74d) 사이의 영역은 채널 영역(76)에 해당한다. 상기 채널 영역(76) 상에 게이트 절연막(64) 및 전하트랩절연층(72)이 형성되고, 상기 게이트 절연막(64) 및 상기 전하트랩절연층(72) 상에 게이트 전극(70)이 형성된다. 상기 전하트랩절연층(72)은 상기 채널 영역(76) 상에서 상기 소오스 영역(74s) 및 상기 드레인 영역(74d)에 인접하여 형성된다. 상기 게이트 절연막(64)은 상기 전하트랩절연층(72)의 측벽에 정렬되어 수직으로 연장된 측벽(64s)을 갖는다. 상기 게이트 전극(70)은 상기 게이트 절연막(64) 상에 형성된 게이트 패턴(66)과, 상기 게이트 패턴(66)의 측벽에 적층된 하부 측벽패턴(58a) 및 상부 측벽패턴(68a)을 포함한다. 상기 게이트 패턴(66)의 상부는 실리사이드층(66s)이 형성될 수도 있다. 제1 실시예에서, 상기 게이트 절연막(64)은 상기 하부 측벽 패턴(58a)과 상기 게이트 패턴(66) 사이의 영역까지 연장되어 형되고, 상기 게이트 패턴(66), 상기 상부 측벽패턴(68a) 및 상기 하부 측벽패턴(58a)은 도전막으로 형성되어 전기적으로 접속된다.

- <20> 이 기억 셀은, 게이트 전극(70), 소오스 영역(74s) 및 드레인 영역(74d)에 각각 게이트 전압(V_g), 소오스 전압(V_s) 및 드레인 전압(V_d)을 인가함으로써 데이터를 기입 또는 소거한다. 소오스 전압(V_s)과 드레인 전압(V_d)의 전위차에 따라 소오스 영역(74s)에 인접한 전하저장절연층 또는 드레인 영역(74d)에 인접한 전하저장절연층이 선택된다.
- <21> 도 3 내지 도 7은 본 발명의 제1 실시예에 따른 소노스 기억 셀의 제조방법을 나타낸 공정단면도들이다.
- <22> 도 3을 참조하면, 반도체 기판(50) 상에 터널산화막(52), 전하트랩층(54) 및 블로킹절연막(56)을 적층하여 다층절연막을 형성하고, 상기 다층절연막 상에 하부 도전막(58) 및 하드마스크막(60)을 형성한다. 상기 다층절연막은 예컨대 실리콘산화막, 실리콘 질화막 및 실리콘산화막을 적층하여 형성할 수 있고, 상기 하부 도전막(58)은 폴리실리콘막으로 형성할 수 있다. 상기 터널산화막(52)으로 금속산화막, 실리콘산화질화막, 실리콘산화막과 금속산화막의 적층막 또는 실리콘산화막과 실리콘산화질화막의 적층막을 사용할 수도 있다.
- <23> 도 4를 참조하면, 상기 하드마스크막(60), 상기 하부 도전막(58) 및 상기 다층절연막을 차례로 패터닝하여 갭영역(62)을 형성한다. 상기 갭 영역(62)에 노출된 반도체 기판(50) 및 상기 하부 도전막(58)의 표면에 게이트 절연막(64)을 형성한다. 상기 게이트 절연막(64)은 열산화막으로 형성하거나 CVD산화막으로 80Å 내지 150Å의 두께로 형성할 수 있다. 상기 게이트 절연막(64)을 형성하기 전 또는 후에 상기 하드마스크막(60)을 이온주입 마스크로 사용하여 상기 반도체 기판(50) 내에 문턱전압 조절을 위한 불순물을 주입할 수도 있다.

- <24> 도 5를 참조하면, 상기 하드마스크막(60) 상에 상기 갭 영역(62)을 채우는 게이트 도전막을 형성하고, 화학적 기계적 연마공정을 적용하여 상기 게이트 도전막을 연마하여 상기 갭 영역(62)을 채우는 게이트 패턴(66)을 형성한다. 상기 게이트 패턴(66)이 형성된 기판에 실리사이드화 공정을 적용하여 상기 게이트 패턴(66) 상에 실리사이드층(66s)을 형성할 수도 있다.
- <25> 도 6을 참조하면, 하드마스크막(60)을 제거한다. 상기 하드마스크막(60)은 실리콘 질화막으로 형성할 수 있고 암모니아 또는 인산용액을 이용한 습식식각법으로 제거할 수 있다. 상기 하드마스크막(60)이 제거된 기판의 전면 상부 도전막(68)을 콘포말하게 형성한다. 상기 상부 도전막(68)의 두께는 기억 셀의 전하저장영역의 폭을 결정하기 때문에 요구되는 셀 특성에 따라 적절히 조절하여 형성하는 것이 바람직하다.
- <26> 도 7을 참조하면, 상기 상부 도전막(68) 및 상기 하부 도전막(58)을 이방성 식각하여 상기 게이트 패턴(66)의 측벽에 적층된 하부 측벽패턴(58a) 및 상부 측벽패턴(68a)을 형성한다. 계속해서, 상기 게이트 패턴(66) 및 상기 상부 측벽패턴(68a)을 식각마스크로 사용하여 상기 다층절연막을 패터닝하여 터널산화막(52), 전하트랩층(54) 및 블로킹 절연막(56)이 적층된 전하저장절연층(72)을 형성한다. 상기 반도체 기판(50)에 불순물을 주입하여 상기 전하저장절연층(72)에 인접한 소오스 영역(74s) 및 드레인 영역(74d)을 형성한다.
- <27> 도 8은 본 발명의 제2 실시예에 따른 소노스 기억 셀을 나타낸 단면도이다.
- <28> 도 8을 참조하면, 제2 실시예에 따른 소노스 기억 셀은 반도체 기판(50) 내에 형성된 소오스 영역(74s) 및 드레인 영역(74d)을 포함한다. 상기 소오스 영역(74s) 및 상기 드레인 영역(74d) 사이의 영역은 채널 영역(76)에 해당한다. 상기 채널 영역(76) 상에

게이트 절연막(64) 및 전하트랩절연층(72)이 형성되고, 상기 게이트 절연막(64) 및 상기 전하트랩절연층(72) 상에 게이트 전극(70)이 형성된다. 상기 전하트랩절연층(72)은 상기 채널 영역(76) 상에서 상기 소오스 영역(74s) 및 상기 드레인 영역(74d)에 인접하여 형성된다. 상기 게이트 절연막(64)은 상기 전하트랩절연층(72)의 측벽에 정렬되어 수직으로 연장된 측벽(64s)을 갖는다. 상기 게이트 전극(70)은 상기 게이트 절연막(64) 상에 형성된 게이트 패턴(66)과, 상기 게이트 패턴(66)의 측벽에 적층된 하부 측벽패턴(58a) 및 상부 측벽패턴(68a)을 포함한다. 상기 게이트 전극(70)은 상기 하부 측벽패턴(58a) 및 상기 상부 측벽패턴(68a) 사이에 개재된 게이트 층간절연막(inter-gate insulating layer; 59a)를 더 포함한다. 상기 게이트 패턴(66)의 상부는 실리사이드층(66s)이 형성될 수도 있다. 제1 실시예에서, 상기 게이트 절연막(64)은 상기 하부 측벽 패턴(58a)과 상기 게이트 패턴(66) 사이의 영역까지 연장되어 상기 게이트 층간절연막(59a)와 연결된다. 따라서, 상기 하부 측벽 패턴(58a)은 상기 게이트 패턴(66) 및 상기 상부 측벽패턴(68a)으로부터 절연된다.

<29> 이 기억 셀은, 게이트 패턴(66), 하부 측벽패턴(58a), 소오스 영역(74s) 및 드레인 영역(74d)에 각각 제1 게이트 전압(V_g), 제2 게이트 전압(V_f), 소오스 전압(V_s) 및 드레인 전압(V_d)을 인가함으로써 데이터를 기입 또는 소거한다. 소오스 전압(V_s)과 드레인 전압(V_d)의 전위차에 따라 소오스 영역(74s)에 인접한 전하저장절연층 또는 드레인 영역(74d)에 인접한 전하저장절연층이 선택된다. 제 2 실시예에 따른 소노스 기억 셀은 게이트 패턴 및 선택되지 않은 전하저장절연층 상의 하부 측벽패턴에는 채널영역에 역전층(inversion layer)를 형성하기 위한 낮은 전압을 인가하면서, 선택된 전하저장 절연층 상의 하부 측벽패턴에 열전하 발생을 위한 높은 전압을 인가할 수 있다. 따라서,

기입 및 소거동작에서 선택되지 않은 전하저장절연층의 데이터 유지특성(data retention)이 더욱 더 우수하다.

<30> 도 9내지 도 14는 본 발명의 제2 실시예에 따른 소노스 기억 셀의 제조방법을 나타낸 공정단면도들이다.

<31> 도 9을 참조하면, 반도체 기판(50) 상에 터널산화막(52), 전하트랩층(54) 및 블로킹절연막(56)을 적층하여 다층절연막을 형성하고, 상기 다층절연막 상에 하부 도전막(58), 층간절연막(interlayer insulating layer; 59) 및 하드마스크막(60)을 형성한다. 상기 다층절연막은 예컨대 실리콘산화막, 실리콘질화막 및 실리콘산화막을 적층하여 형성할 수 있고, 상기 하부 도전막(58)은 폴리실리콘막으로 형성할 수 있다. 상기 터널산화막(52)으로 금속산화막, 실리콘산화질화막, 실리콘산화막과 금속산화막의 적층막 또는 실리콘산화막과 실리콘산화질화막의 적층막을 사용할 수도 있다.

<32> 도 10를 참조하면, 상기 하드마스크막(60), 상기 하부 도전막(58), 상기 층간절연막(59) 및 상기 다층절연막을 차례로 패터닝하여 갭영역(62)을 형성한다. 상기 갭 영역(62)에 노출된 반도체 기판(50) 및 상기 하부 도전막(58)의 표면에 게이트 절연막(64)을 형성한다. 상기 게이트 절연막(64)은 열산화막으로 형성하거나 CVD산화막으로 80Å 내지 150Å의 두께로 형성할 수 있다. 상기 게이트 절연막(64)은 상기 갭 영역(62)의 측벽을 따라 연장되어 상기 층간절연막(59)과 연결된다. 상기 게이트 절연막(64)을 형성하기 전 또는 후에 상기 하드마스크막(60)을 이온주입 마스크로 사용하여 상기 반도체 기판(50) 내에 문턱전압 조절을 위한 불순물을 주입할 수도 있다.

- <33> 도 11을 참조하면, 상기 하드마스크막(60) 상에 상기 갭 영역(62)을 채우는 게이트 도전막을 형성하고, 화학적 기계적 연마공정을 적용하여 상기 게이트 도전막을 연마하여 상기 갭 영역(62)을 채우는 게이트 패턴(66)을 형성한다. 상기 게이트 패턴(66)이 형성된 기판에 실리사이드화 공정을 적용하여 상기 게이트 패턴(66) 상에 실리사이드층(66s)을 형성할 수도 있다.
- <34> 도 12를 참조하면, 하드마스크막(60)을 제거한다. 상기 하드마스크막(60)은 실리콘 질화막으로 형성할 수 있고 암모니아 또는 인산용액을 이용한 습식식각법으로 제거할 수 있다. 상기 하드마스크막(60)이 제거된 기판의 전면에서 상부 도전막(68)을 콘포말하게 형성한다. 상기 상부 도전막(68)의 두께는 기억 셀의 전하저장영역의 폭을 결정하기 때문에 요구되는 셀 특성에 따라 적절히 조절하여 형성하는 것이 바람직하다.
- <35> 도 13을 참조하면, 상기 상부 도전막(68)을 이방성 식각하여 상기 게이트 패턴(66)의 측벽에 상부 측벽패턴(68a)을 형성한다. 상기 게이트 패턴(66) 및 상기 상부 측벽패턴(68a)을 식각마스크로 사용하여 상기 층간절연막(59a)을 패터닝 하여 게이트 층간절연막(inter-gate insulating layer; 59a)을 형성한다.
- <36> 도 14를 참조하면, 상기 하부 도전막(58)을 이방성 식각하여 상기 게이트 층간절연막(59a) 하부에 하부 측벽패턴(58a)을 형성하고, 상기 게이트 패턴(66) 및 상기 상부 측벽패턴(68a)을 식각마스크로 사용하여 다층절연막을 패터닝하여 터널산화막(52), 전하트랩층(54) 및 블로킹절연막(56)이 적층된 전하저장절연층(72)을 형성한다. 상기 반도체 기판(50)에 불순물을 주입하여 상기 전하저장절연층(72)에 인접한 소오스 영역(74s) 및 드레인 영역(74d)을 형성한다.

<37> 종래의 소노스 기억 셀은 등가 산화막 두께(EOT;equivalent oxide thickness)가 게이트 절연막보다 두꺼운 전하 저장 절연층이 채널영역 상에 형성되나, 본 발명에 따르면, 전하 저장 절연층이 소오스 영역 및 드레인 영역에 인접한 영역에만 형성되고, 그외에 채널영역 상에는 얇은 게이트 절연막이 형성된다.

【발명의 효과】

<38> 상술한 것과 같이, 본 발명에 따르면, 전하가 트랩되는 영역에만 전하 저장 절연층을 형성함으로써 소노스 기억 셀의 동작속도를 향상시킬 수 있다. 또한, 전하저장 절연층의 폭을 균일하게 제어할 수 있기 때문에 셀 특성의 산포를 줄일 수 있고, 채널 영역 상에 전하 저장 절연층을 분리하여 형성함으로써 서로간의 데이터 식별력을 향상시킬 수 있다. 더 나아가서, 전하 저장 절연층의 채널 길이 방향 폭을 미세화할 수 있기 때문에 전자 및 정공이 주입되는 영역을 일치시킬 수 있다.

【특허청구범위】**【청구항 1】**

반도체 기판 내에 소정간격 이격되어 형성된 소오스 영역 및 드레인 영역;
상기 소오스 영역 및 상기 드레인 영역 사이에 정의된 채널영역;
상기 소오스 영역 및 상기 드레인 영역에 인접한 상기 채널영역의 가장자리 상에
형성된 전하저장 절연층;
상기 전하트랩 절연층 사이의 상기 채널영역 상에 형성된 게이트 절연막; 및
상기 게이트 절연막 및 상기 전하트랩 절연층 상에 형성된 게이트 전극을 포함하는
소노스 기억 셀.

【청구항 2】

제1 항에 있어서,
상기 전하트랩 절연층은,
터널산화막, 전하트랩층 및 블로킹절연막이 적층된 다층절연층인 것을 특징으로 하
는 소노스 기억 셀.

【청구항 3】

제1 항에 있어서,
상기 게이트 절연막은,
상기 전하트랩 절연층보다 얇은 등가 산화막 두께(EOT; equivalent oxide
thickness)를 갖는 것을 특징으로 하는 소노스 기억 셀.

【청구항 4】

제1 항에 있어서,

상기 게이트 절연막은,

상기 전하트랩 절연층의 측벽에 정렬되어 수직으로 연장된 측벽을 갖는 것을 특징으로 하는 소노스 기억 셀.

【청구항 5】

제1 항에 있어서,

상기 게이트 전극은,

상기 게이트 절연막 상에 형성된 게이트 패턴; 및

상기 전하트랩 절연층 상에 형성된 게이트 측벽 패턴(gate sidewall pattern)을 포함하는 것을 특징으로 하는 소노스 기억 셀.

【청구항 6】

반도체 기판 내에 소정간격 이격되어 형성된 소오스 영역 및 드레인 영역;

상기 소오스 영역 및 상기 드레인 영역 사이에 정의된 채널영역;

상기 소오스 영역 및 상기 드레인 영역에 인접한 상기 채널영역의 가장자리 상에 서로 이격되어 형성된 한 쌍의 전하트랩 절연층;

상기 전하트랩 절연층들 사이의 상기 채널영역 상에 형성된 게이트 절연막;

상기 게이트 절연막 상에 형성된 게이트 패턴;

상기 전하트랩 절연층 상에 형성된 하부 측벽 패턴; 및

상기 하부 측벽 패턴 상에 형성된 상부 측벽 패턴을 포함하되, 상기 상부 측벽 패턴은 상기 하부 측벽 패턴 및 상기 게이트 패턴과 접하는 것을 특징으로 하는 소노스 기억 셀.

【청구항 7】

제6 항에 있어서,

상기 전하트랩 절연층은,

터널산화막, 전하트랩층 및 블로킹절연막이 적층된 다층절연층인 것을 특징으로 하는 소노스 기억 셀.

【청구항 8】

제6 항에 있어서,

상기 게이트 절연막은,

상기 전하트랩 절연층보다 얇은 등가 산화막 두께(EOT; equivalent oxide thickness)를 갖는 것을 특징으로 하는 소노스 기억 셀.

【청구항 9】

제6 항에 있어서,

상기 게이트 절연막은,

상기 전하트랩 절연층 및 상기 하부 측벽 패턴의 측벽에 정렬되어 수직으로 연장된 측벽을 갖는 것을 특징으로 하는 소노스 기억 셀.

【청구항 10】

반도체 기판 내에 소정간격 이격되어 형성된 소오스 영역 및 드레인 영역;

상기 소오스 영역 및 상기 드레인 영역 사이에 정의된 채널영역;

상기 소오스 영역 및 상기 드레인 영역에 인접한 상기 채널영역의 가장자리 상에 서로 이격되어 형성된 한 쌍의 전하트랩 절연층;

상기 전하트랩 절연층들 사이의 상기 채널영역 상에 형성된 게이트 절연막;

상기 게이트 절연막 상에 형성된 게이트 패턴;

상기 전하트랩 절연층 상에 형성된 하부 측벽 패턴; 및

상기 하부 측벽 패턴 상에 형성된 상부 측벽 패턴을 포함하되, 상기 하부 측벽 패턴은 상기 상부 측벽 패턴 및 상기 게이트 패턴과 전기적으로 절연된 것을 특징으로 하는 소노스 기억 셀.

【청구항 11】

제10 항에 있어서,

상기 전하트랩 절연층은,

터널산화막, 전하트랩층 및 블로킹절연막이 적층된 다층절연층인 것을 특징으로 하는 소노스 기억 셀.

【청구항 12】

제10 항에 있어서,

상기 게이트 절연막은,

상기 전하트랩 절연층보다 얇은 등가 산화막 두께(EOT; equivalent oxide thickness)를 갖는 것을 특징으로 하는 소노스 기억 셀.

【청구항 13】

제10 항에 있어서,

상기 하부 측벽 패턴 및 상기 상부 측벽 패턴 사이에 개재된 게이트 층간 절연막을 더 포함하는 것을 특징으로 하는 소노스 기억 셀.

【청구항 14】

제10 항에 있어서,

상기 게이트 절연막은,

상기 전하트랩절연막의 측벽 및 상기 하부 측벽 패턴의 측벽에 정렬되어 수직으로 연장된 측벽을 갖는 것을 특징으로 하는 소노스 기억 셀.

【청구항 15】

제10 항에 있어서,

상기 게이트 패턴 및 상기 하부 측벽 패턴은 독립적으로 전압이 인가되는 것을 특징으로 하는 소노스 기억 셀.

【청구항 16】

반도체 기판에 다층절연층, 하부 도전막 및 하드마스크막을 차례로 적층하는 단계;

상기 하드마스크막, 상기 하부 도전막 및 상기 다층절연층을 차례로 패터닝하여 갭영역을 형성하는 단계;

상기 갭영역에 노출된 반도체 기판 및 상기 하부 도전막의 표면에 게이트 산화막을 형성하는 단계;

상기 게이트산화막 상에 상기 갭 영역을 채우는 게이트 패턴을 형성하는 단계;

상기 하드마스크막을 제거하여 상기 게이트 패턴의 측벽의 일부분을 노출시키는 단계;

상기 노출된 게이트 패턴의 측벽에 상부 측벽패턴을 형성하는 단계;

상기 게이트 패턴 및 상기 상부 측벽패턴을 식각마스크로 사용하여 상기 하부 도전막 및 상기 다층절연층을 패터닝하여 상기 상부 측벽패턴 하부에 하부 측벽패턴 및 전하전장절연층을 형성하는 단계;

상기 게이트 패턴 및 상기 상부 측벽패턴을 식각마스크로 사용하여 상기 전하트랩절연층에 인접한 기판 내에 소오스영역 및 드레인 영역을 형성하는 단계를 포함하는 소노스 기억셀 형성방법.

【청구항 17】

제16 항에 있어서,

상기 캡영역에 노출된 반도체 기판 내에 불순물을 주입하여 채널영역을 형성하는 단계를 더 포함하는 소노스 기억셀 형성방법.

【청구항 18】

제16 항에 있어서,

상기 상부 측벽패턴을 형성하는 단계는,

상기 하드마스크막이 제거된 반도체 기판 상에 콘포말한 상부 도전막을 형성하는 단계; 및

상기 상부 도전막을 이방성 식각하여 상기 하부 도전막을 노출시키는 단계를 포함하는 소노스 기억 셀.

【청구항 19】

반도체 기판에 다층절연층, 하부 도전막, 층간절연막 및 하드마스크막을 차례로 적층하는 단계;

상기 하드마스크막, 상기 층간절연막, 상기 하부 도전막 및 상기 다층절연층을 차례로 패터닝하여 갭영역을 형성하는 단계;

상기 갭영역에 노출된 반도체 기판 및 상기 하부 도전막의 표면에 게이트 산화막을 형성하는 단계;

상기 게이트산화막 상에 상기 갭 영역을 채우는 게이트 패턴을 형성하는 단계;

상기 하드마스크막을 제거하여 상기 층간절연막을 노출시키는 단계;

상기 층간절연막 상의 상기 게이트 패턴의 측벽에 상부 측벽패턴을 형성하는 단계 ;

상기 게이트 패턴 및 상기 상부 측벽패턴을 식각마스크로 사용하여 상기 층간절연막, 상기 하부 도전막 및 상기 다층절연층을 패터닝하여 상기 상부 측벽패턴 하부에 게이트 층간절연막, 하부 측벽패턴 및 전하전장절연층을 형성하는 단계;

상기 게이트 패턴 및 상기 상부 측벽패턴을 식각마스크로 사용하여 상기 전하트랩 절연층에 인접한 기판 내에 소오스영역 및 드레인 영역을 형성하는 단계를 포함하는 소노스 기억셀 형성방법.

【청구항 20】

제19 항에 있어서,

상기 갭영역에 노출된 반도체 기판 내에 불순물을 주입하여 채널영역을 형성하는 단계를 더 포함하는 소노스 기억셀 형성방법.

【청구항 21】

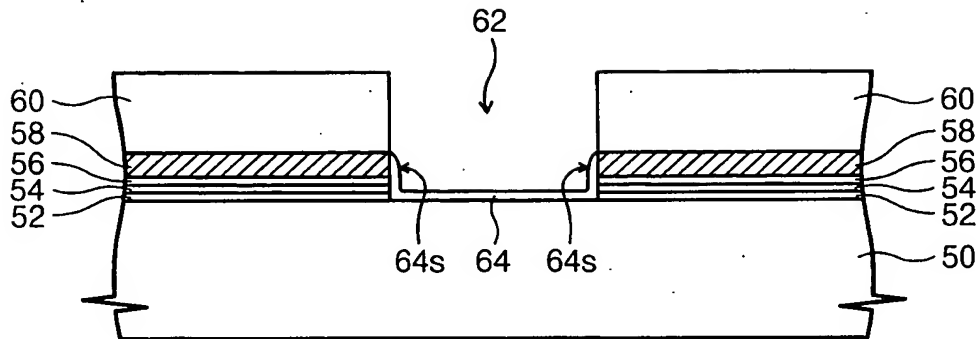
제19 항에 있어서,

상기 상부 측벽패턴을 형성하는 단계는,

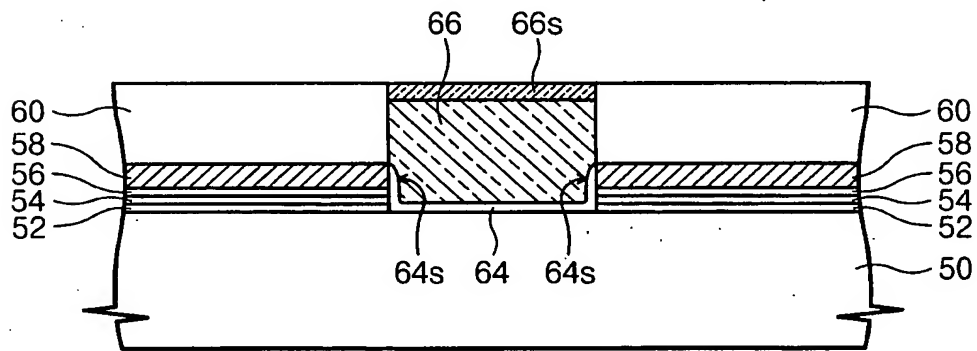
상기 하드마스크막이 제거된 반도체 기판 상에 콘포말한 상부 도전막을 형성하는 단계; 및

상기 상부 도전막을 이방성 식각하여 상기 층간절연막을 노출시키는 단계를 포함하는 소노스 기억 셀.

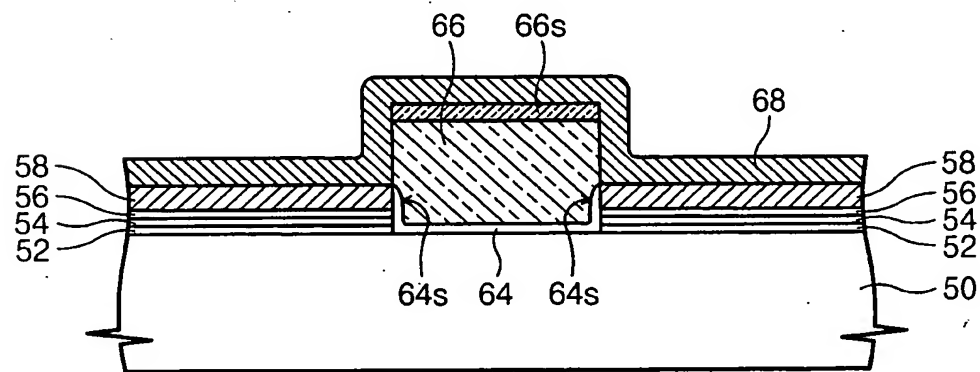
【도 4】



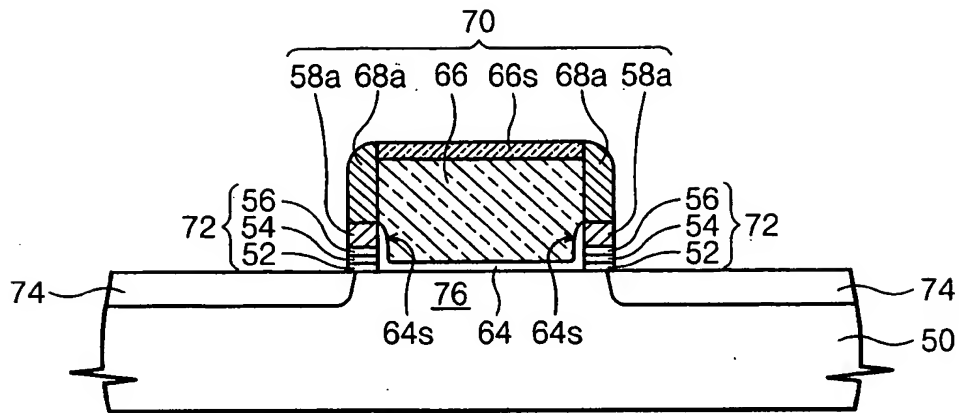
【도 5】



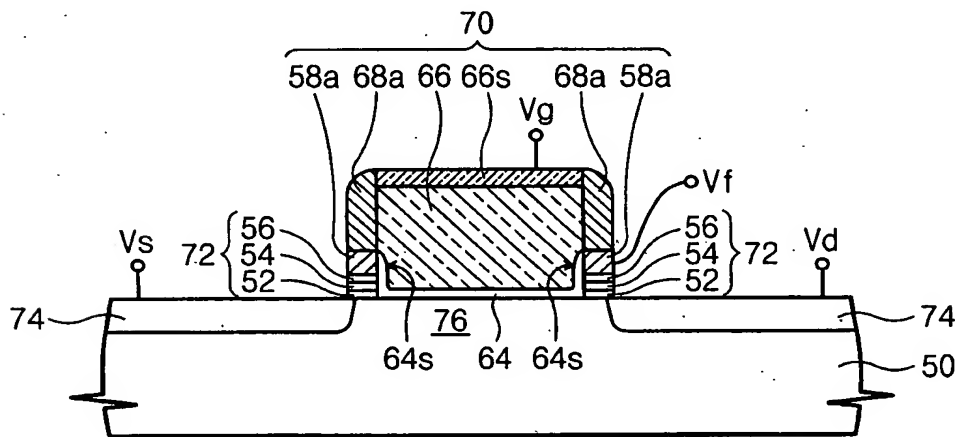
【도 6】



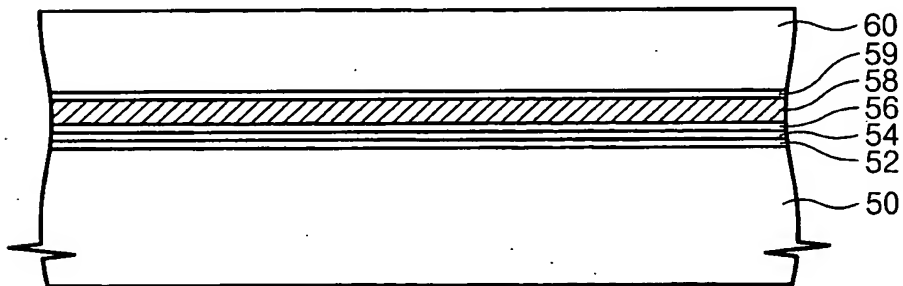
【도 7】



【도 8】



【도 9】

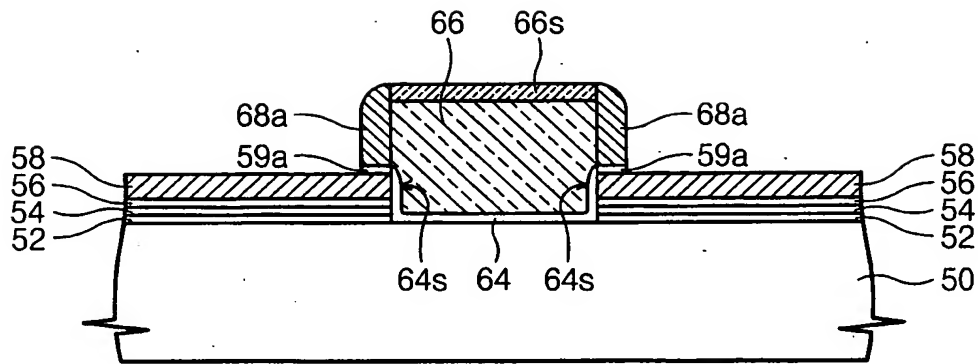


This diagram shows a cross-sectional view of a semiconductor device with a central gap. The device consists of a substrate 50 with a central gap 62. On either side of the gap, there is a stack of layers: a bottom layer 52, followed by layers 54, 56, 58, and 59, and a top layer 60. A hatched region 64 is located within the stack of layers 54, 56, and 58. The hatched region 64 is divided into two parts, 64s, by the central gap 62. The layers 52, 54, 56, 58, and 59 are shown as thin lines, while the top layer 60 is a thicker block.

This diagram shows a cross-sectional view of a multi-layered structure. A central block, labeled 66, is filled with a diagonal hatching pattern. This block is flanked by two side regions, each containing a layer labeled 66s. The entire assembly is sandwiched between two main outer layers, 50 and 60. On the left side, several layers are labeled 52, 54, 56, 58, and 59. On the right side, the corresponding layers are labeled 52, 54, 56, 58, 59, and 60. The central block 66 is positioned between the 58 and 59 layers. The side regions 66s are positioned between the 56 and 58 layers. The bottom of the diagram shows a break symbol, indicating that the structure continues.

This cross-sectional view shows a semiconductor device with a central raised region. The device is built on a substrate 50. A base layer 52 is formed on the substrate. Above the base layer is a layer 54, which is patterned to form a central raised region 64 and two side regions 64s. The side regions 64s are separated from the central region 64 by gaps. A layer 56 is formed over the base layer 52 and the side regions 64s. A layer 58 is formed over the side regions 64s. A layer 59 is formed over the central region 64 and the side regions 64s. The central region 64 is covered by a layer 66, which is further covered by a layer 66s. The side regions 64s are covered by a layer 68. The device is shown with electrical contacts on the top surface of the central region 64 and the side regions 64s.

【도 13】



【도 14】

